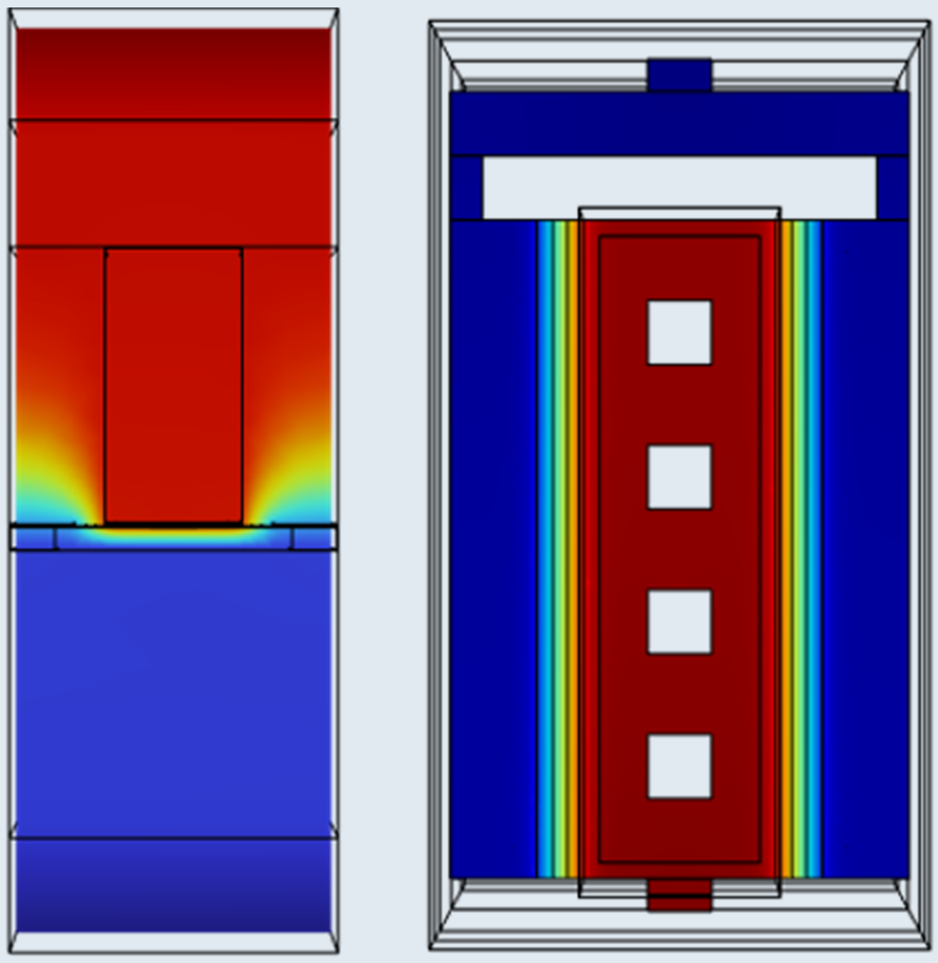


SiGe多層膜を用いた平面型Si熱電発電素子のデバイス設計と発電性能評価

フォノンモンテカルロ計算で得られたSi/SiGe多層膜の熱伝導率をCOMSOL Multiphysicsへ入力し, 伝熱解析および電気解析の組み合わせにより, デバイス長さおよび総膜厚が平面型Si熱電発電素子の発電性能に及ぼす影響を評価.

小田島 綾華[1, 2],柳澤 亮人[3], Anufriev Roman[1], 澤野 憲太郎[2], 野村 政宏[1]
1. 東大生研, 〒153-8505 東京都目黒区
2. 東京都市大, 〒158-8557 東京都世田谷区
3. 東京理科大, 〒125-8585 東京都葛飾区

概要

平面型シリコン（Si）熱電発電素子は, 半導体プロセスとの互換性が高く, IoTセンサー用電源として期待されている. 本研究では, デバイス層にSiとシリコンゲルマニウム（SiGe）の多層膜を用いた平面型Si熱電発電素子について解析を行った.

フォノンモンテカルロ計算により算出したSi/SiGe多層膜の熱伝導率を材料パラメータとして用い, COMSOL Multiphysicsによるデバイス設計および発電性能評価を行った. 特に, デバイス長さおよび総膜厚が発電性能に及ぼす影響を明らかにし, 高性能化に向けた設計指針を検討した.

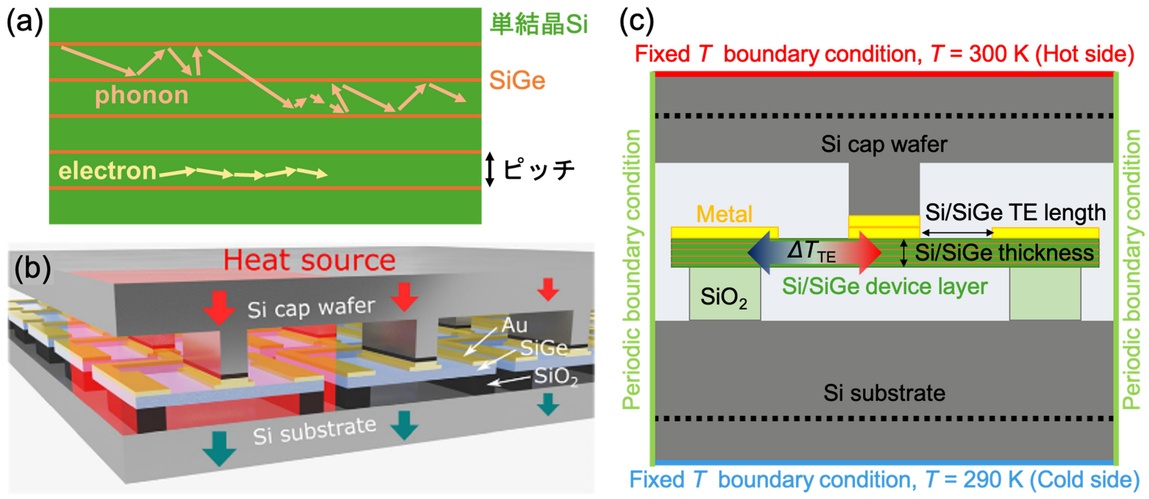


図1. (a) Si/SiGe多層膜におけるSiGe界面によるフォノン散乱の模式図. (b) 平面型Si熱電発電素子の模式図. (c) COMSOL Multiphysicsによるデバイス解析モデル

計算手法

COMSOL Multiphysicsの伝熱モジュールを用いてデバイス内部の温度分布を解析し, 熱電材料に生じる温度差を算出した. Si/SiGe多層膜の熱伝導率にはフォノンモンテカルロ計算により得られた値を適用した. また, AC/DCモジュールにより電位分布およびデバイス抵抗を解析した. デバイス長さおよび総膜厚を設計パラメータとして変化させ, 得られた温度差および電気抵抗から各条件における発電密度を算出し, デバイス性能を評価した.

$$P = \frac{{V_{TE}}^2}{4RA\Delta T^2} = \frac{(S\Delta T_{TE})^2}{4RA}$$

- 薄膜内温度差：ΔT_{TE} (K)
- 内部電気抵抗：R (Ω)
- 素子面積：A (cm^2)

結果

伝熱解析より, デバイス長さの増加に伴って熱電材料内の温度差は増加する一方, 電気抵抗も増加することが分かった. その結果, 発電密度はデバイス長さおよびSi層膜厚に対して極大値を示し, 最適な設計条件が存在することを確認した. また, デバイス断面の温度分布から熱電材料内の温度勾配形成を可視化するとともに, デバイス長さと総膜厚を設計変数とした発電密度の3次元マップを作成し, 高発電密度が得られる設計領域を明らかにした.

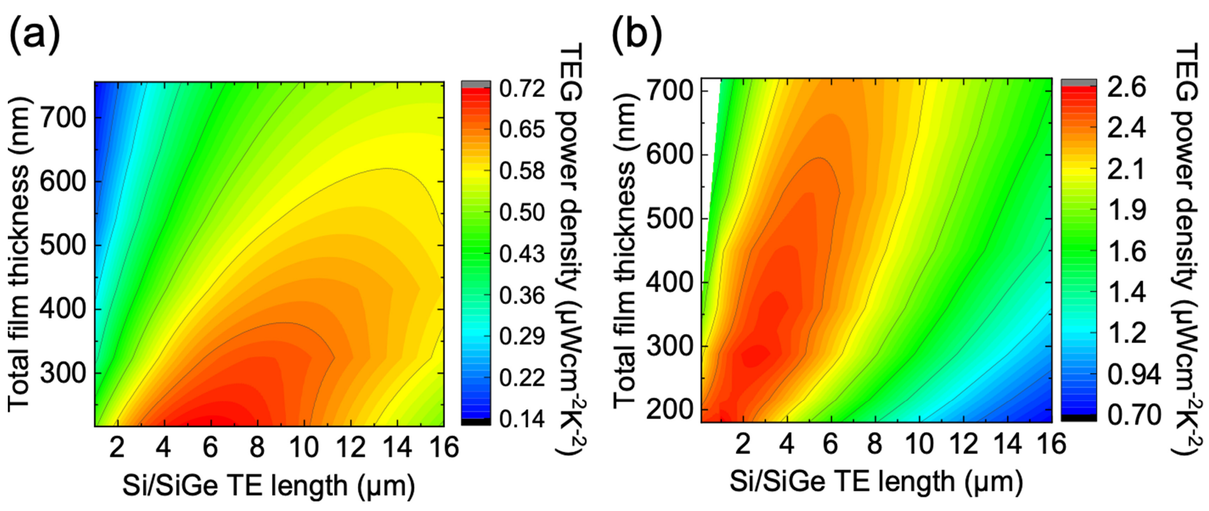


図2. (a) 長いSiGeピッチおよび(b)短いSiGeピッチにおける発電密度の3次元マップ

参考文献

[1] S. Koike *et al.*, *Appl. Phys. Lett.* **124**, 123902 (2024).
[2] R. Yanagisawa *et al.*, *Mater. Today Phys.* **45**, 101452 (2024).

東京大学
生産技術研究所
Institute of Industrial Science,
The University of Tokyo

The Proceedings of the COMSOL Conference 2026 Tokyo より抜粋